

Reti Logiche T

Esercizi reti sequenziali sincrone

ESERCIZIO N. 10

Si esegua la sintesi di una rete sequenziale sincrona caratterizzata da un unico segnale di ingresso (X) e da un unico segnale di uscita (Z), entrambi sincroni. In ogni intervallo di clock l'uscita Z deve assumere il valore logico 1 soltanto se gli ultimi quattro valori di X costituiscono una palindroma (cioè una configurazione che è identica se letta da destra verso sinistra o viceversa).

X	0	1	1	0	1	0	0	1	1	1	1	1	...
Z				1	0	0	0	1	0	0	1	1	...

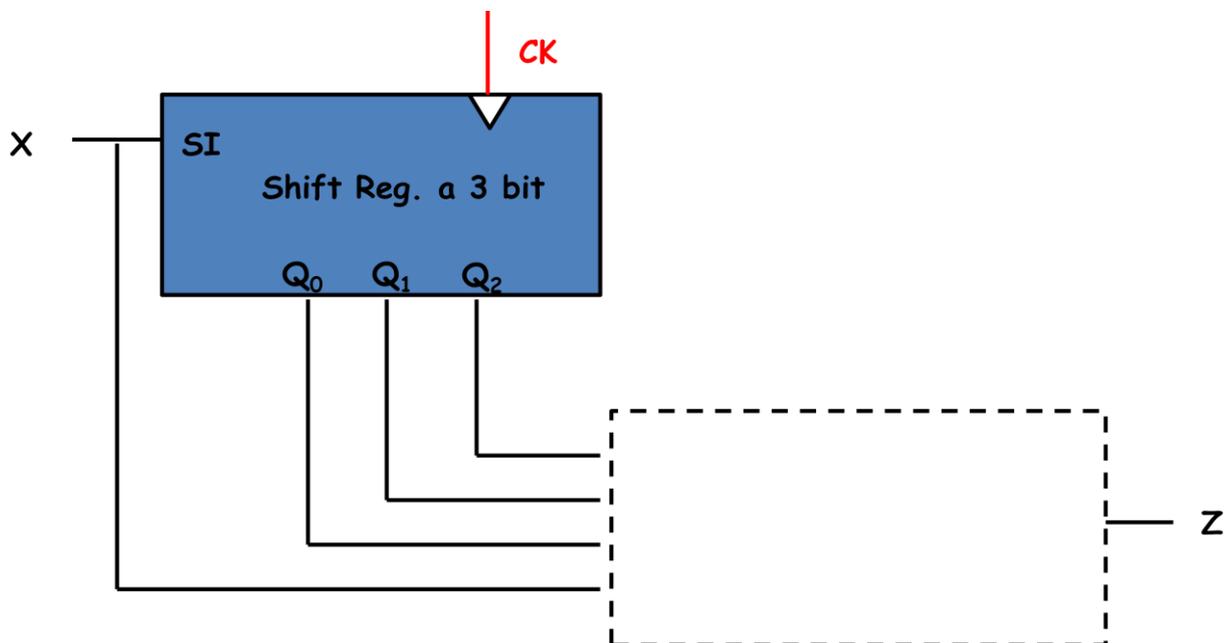
DOMANDA N.1 – Individuare il grafo degli stati.

DOMANDA N.2 – Individuare la tabella di flusso e l'automa minimo.

DOMANDA N.3 – Individuare la tabella delle transizioni.

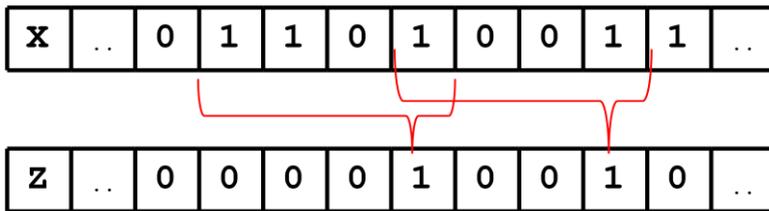
DOMANDA N.4 – Individuare la rete di costo minimo necessaria per le variabili di stato e tracciare il corrispondente schema SP nel caso si usino flip-flop D.

DOMANDA N.5 – Realizzare la rete completando lo schema sottostante con gate elementari.



ESERCIZIO N. 11

Una rete sequenziale sincrona e' caratterizzata da un segnale di ingresso X e da un segnale di uscita Z. Z deve assumere il valore logico 1 in corrispondenza dell'intervallo di ricezione dell'ultimo simbolo di una delle due seguenti sequenze di ingresso: 1101, 1001. In tutti gli altri casi Z deve assumere il livello logico 0. Ad esempio,



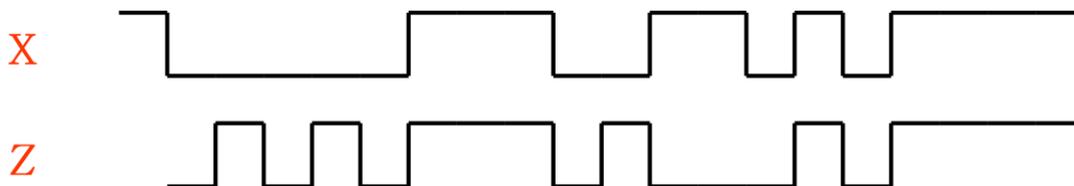
- a) Individuare il grafo degli stati (suggerimento: ne servono meno di 8).
- b) Tracciare la tabella di flusso e la tabella delle transizioni.
- c) Individuare la rete di costo minimo necessaria per le variabili di stato e tracciare il corrispondente schema SP nel caso si usino flip-flop D.

ESERCIZIO N. 12

Una rete sequenziale sincrona e' caratterizzata da un segnale di ingresso X e da un segnale di uscita Z. In risposta ad un fronte di discesa di X, Z deve assumere immediatamente il valore 0 e poi, se la situazione X=0 perdura anche per i periodi successivi, il valore opposto a quello che ha presentato nell'intervallo precedente.

In risposta ad un fronte di salita di X, Z deve assumere immediatamente il valore opposto a quello che ha presentato nell'intervallo precedente e mantenerlo poi finché X=1.

Ad esempio,

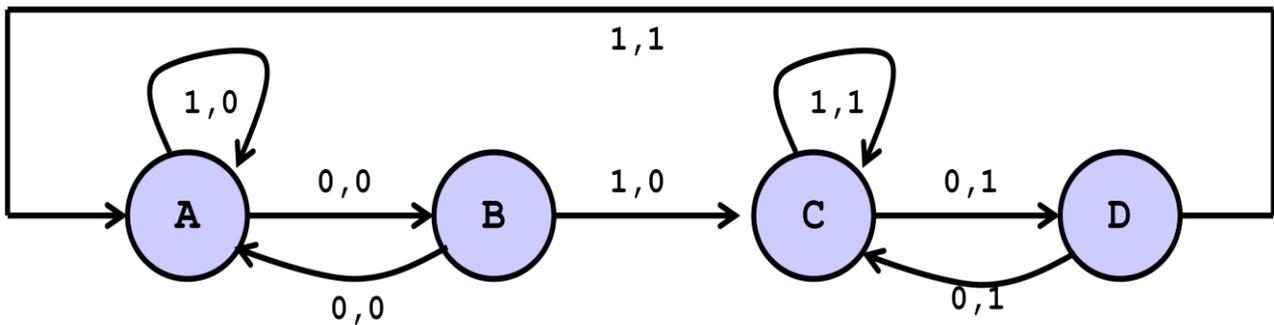


- a) Descrivere il comportamento della rete con un grafo a quattro stati.
- b) Tracciare la tabella di flusso e dimostrare che la macchina minima ha solo tre stati.
- c) Tracciare la tabella delle transizioni della macchina minima

d) Si sintetizzino le variabili di stato futuro e l'uscita ricavando le espressioni minime a NOR, nel caso di utilizzo dei flip-flop D.

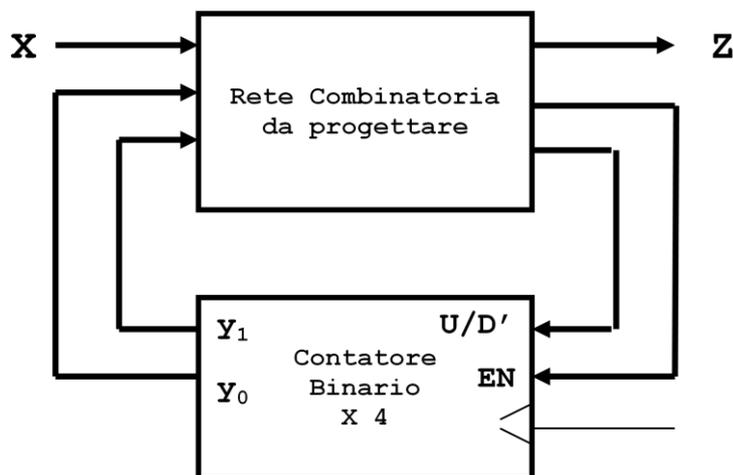
ESERCIZIO N. 13

Il comportamento di una rete sequenziale sincrona, caratterizzata da un unico segnale di ingresso X e da un unico segnale di uscita Z, e' definito dal diagramma degli stati indicato in figura.



Per la realizzazione della rete occorre avvalersi di un contatore binario per 4, con ingressi E (Enable), U/D' (Up/Down') e uscite y_1, y_0 (bit meno significativo). In dipendenza dei valori assunti dai comandi EN, U/D durante un intervallo di clock, il contatore può:

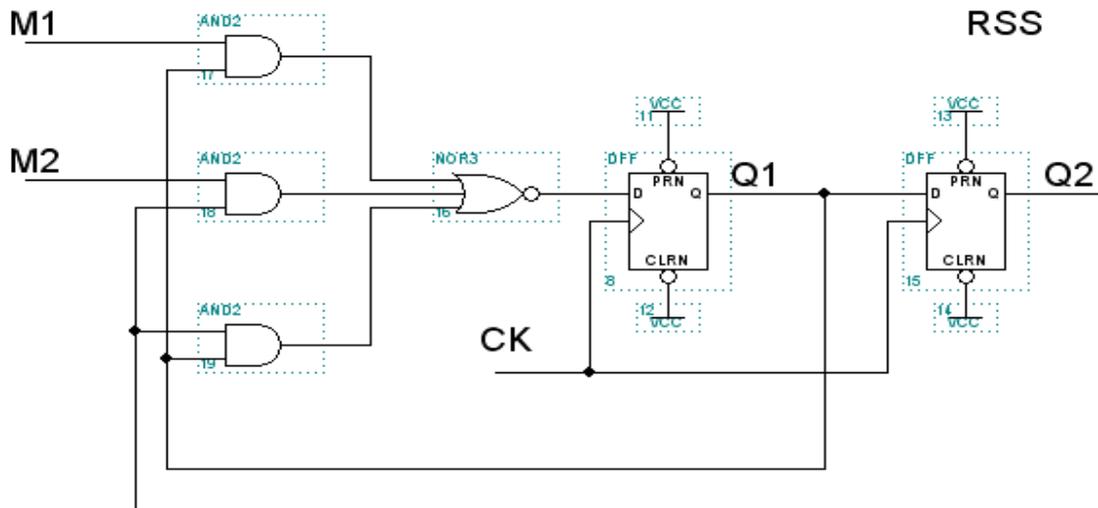
- mantenere il valore attuale (EN=0 e U/D'=-)
- contare in avanti (EN=1 e U/D'=1)
- contare all'indietro (EN=1 e U/D'=0)



a) Individuare le 2 possibili codifiche degli stati che consentono di impiegare tale contatore nella realizzazione della rete assumendo di codificare A con la configurazione 00.

b) Individuare le espressioni minime SP e NAND dei segnali EN, U/D' e Z facendo riferimento ad una delle due codifiche.

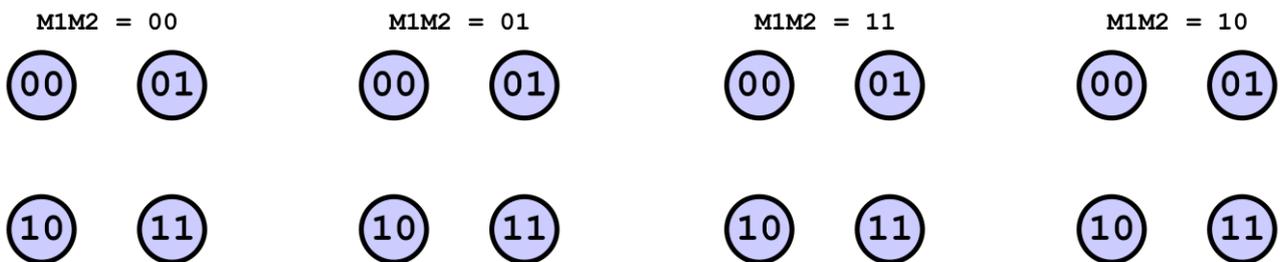
ESERCIZIO N. 14



DOMANDA N.1 - Individuare le espressioni PS delle variabili di stato futuro della rete sequenziale sincrona di figura. Gli ingressi di PRESET e CLEAR dei flipflop D sono collegati al segnale 1 (Vcc in figura) e sono quindi sempre disattivati.

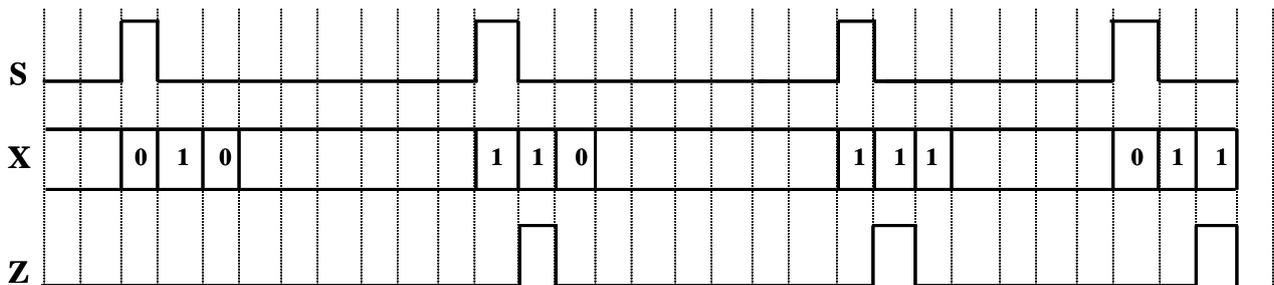
DOMANDA N.2 - Tracciare la tabella delle transizioni

DOMANDA N.3 - Evidenziare sui grafi i quattro possibili comportamenti della rete ad ingressi costanti ed individuare per ciascuno il numero di stati percorsi in sequenza a regime



ESERCIZIO N. 15

Si esegua la sintesi di una rete sequenziale sincrona avente due ingressi, S ed X, ed una uscita, Z. Il segnale S normalmente vale 0 e va a 1 molto di rado per un solo intervallo di clock. Ad ogni attivazione di S (cioè quando S=1) la rete deve verificare se la sequenza costituita dai 3 valori assunti da X nell'intervallo di attivazione di S e nei 2 intervalli successivi comprende almeno due 1 consecutivi. In tal caso l'uscita Z deve prontamente assumere il valore 1 per un solo intervallo di clock. In tutte le altre situazioni Z deve rimanere a 0:



DOMANDA N. 1 - Si disegni il diagramma degli stati della rete.

DOMANDA N. 2 - A partire dal diagramma degli stati ottenuto al punto precedente si ricavino la tabella di flusso e la tabella delle transizioni.

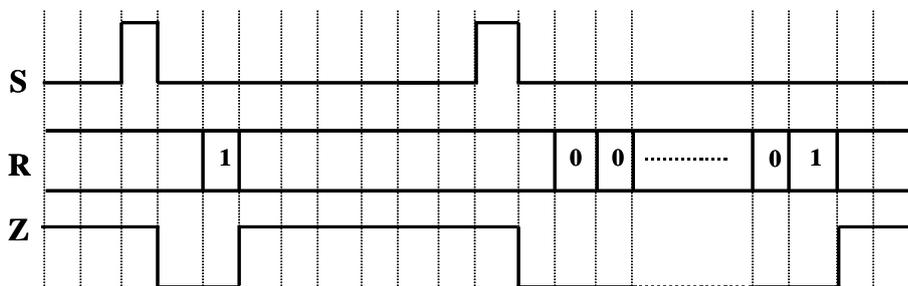
DOMANDA N. 3 - Si dica se il comportamento della rete segue il modello di Mealy oppure il modello di Moore, motivando in modo chiaro e sintetico la risposta fornita.

DOMANDA N. 4 - Si ricavino le espressioni minime a NAND delle funzioni d'uscita e di stato futuro utilizzando flip-flop D.

DOMANDA N. 5 - A partire dalle espressioni minime ricavate al punto precedente si disegni lo schema logico della rete.

ESERCIZIO N. 16

Una rete sequenziale sincrona (RSS) ha due ingressi, S (“Start”) ed R (“Ready”), ed una uscita, Z. A seguito dell’attivazione di S, la rete deve generare un impulso su Z avente durata dipendente dall’andamento di R. Più precisamente, quando S=0 la rete è “a riposo” e Z=1. Quando S=1 (tale configurazione corrisponde all’attivazione di S e dura un solo ciclo di clock) l’uscita Z deve andare a 0 per almeno due clock a partire dal clock successivo a quello in cui S=1. Se nel secondo clock in cui Z=0 l’ingresso R vale 1, allora Z torna a 1 nel clock successivo, se invece nel secondo clock in cui Z=0 l’ingresso R vale 0 l’uscita Z vale 0 anche nel clock successivo e ci rimane fino a che R=0, per tornare poi a 1 solo nel clock successivo a quello in cui R=1. In ogni caso, quando Z torna a 1 deve rimanere a 1 per almeno due clock (ciò implica che se S si attiva nel clock in cui Z torna a 1 il comando di “Start” non produce alcun effetto). Le forme d’onda seguenti illustrano ulteriormente il funzionamento della rete:



DOMANDA N. 1 - Assumendo di avere a disposizione un contatore per 8 in codice Gray dotato di comandi di ENABLE e RESET (sincrono), si realizzi un contatore per 4 in codice Gray dotato di comando di ENABLE ed in grado di autoinizializzarsi in un ciclo di clock. A tale scopo, si ricavi la mappa di Karnaugh della funzione RESET, si determini l’espressione minima SP e la corrispondente espressione a NAND ed infine si disegni lo schema logico del contatore per 4 ottenuto collegando il contatore per 8 e la rete a NAND che genera il RESET.

DOMANDA N. 2 - Si disegni il diagramma degli stati di una macchina di Moore a 4 stati che descrive il comportamento della RSS.

DOMANDA N. 3 - Si realizzi la RSS a partire dal contatore per 4 in codice Gray dotato di ENABLE progettato al primo punto dell’esercizio. In particolare la RSS deve essere costituita dal contatore e da una rete combinatoria che ricevendo in ingresso i segnali S,R e le variabili di stato del contatore genera in uscita il comando di ENABLE e l’uscita Z. A tale scopo si esegua la codifica degli stati, si ricavino le mappe di Karnaugh di ENABLE e Z, si esegua la sintesi minima SP di ENABLE e Z, si disegni lo schema logico della RSS.

ESERCIZIO N. 17

Si esegua la sintesi di una rete sequenziale sincrona avente due ingressi, x ed y, ed una uscita, z. L'uscita z deve prontamente andare a 1 ogni qual volta il segnale y assume la sequenza "11x", cioè quando y vale 1 per due clock consecutivi e poi, nel terzo clock, assume lo stesso valore di x. In tutte le altre situazioni l'uscita z deve rimanere a 0. La figura seguente mostra a titolo di esempio un possibile andamento dei segnali x e y ed il corrispondente andamento di z:

x	-	-	-	1	1	0	1	1	-	-	-	0	-	-	1	0
y	0	1	1	1	1	1	1	0	0	1	1	0	1	1	1	0
z	0	0	0	1	1	0	1	0	0	0	0	1	0	0	1	1

A tale scopo:

DOMANDA N. 1 - Si disegni il diagramma degli stati della rete.

DOMANDA N. 2 - A partire dal diagramma degli stati ottenuto al punto precedente si ricavino la tabella di flusso e la tabella delle transizioni.

DOMANDA N. 3 - Si dica se il comportamento della rete segue il modello di Mealy oppure il modello di Moore, motivando in modo chiaro e sintetico la risposta fornita.

DOMANDA N. 4 - Si ricavino le espressioni minime SP delle funzioni d'uscita e di stato futuro mostrando chiaramente i raggruppamenti rettangolari associati ai termini presenti nelle espressioni, nell'ipotesi di utilizzare flip-flop di tipo D.

DOMANDA N. 5 - A partire dalle espressioni minime SP ricavate al punto precedente si disegni lo schema logico della rete.

